

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-345739

(43)Date of publication of application : 14.12.2001

(51)Int.Cl.

H04B 1/707
H04L 7/00

(21)Application number : 2000-169485

(71)Applicant : NEC CORP

(22)Date of filing : 06.06.2000

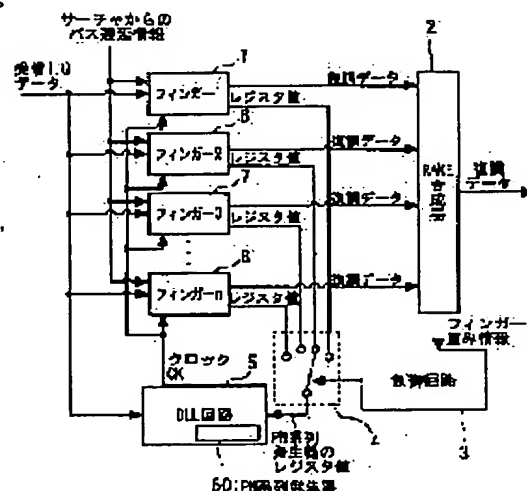
(72)Inventor : CHIBA KENICHIRO

(54) RAKE RECEIVING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a device for cutting down the scale of a receiving circuit and reducing the power consumption while keeping the following function of the phase jitter of a multipath transmission path.

SOLUTION: In a RAKE receiving device which is equipped with a plurality of finger circuits for receiving the signal being diffused into spectra by diffusion codes and decoding signals by reversely diffusing each received signal being searched for with a searcher for searching individual paths from a received signal, becoming a multipath, and a RAKE synthesizer which synthesizes the output of the finger circuits, the finger circuits are all not provided with DLL circuits within themselves, and one DLL circuit is installed for the finger circuits, and the finger being the target of the tracking of synchronization by the DLL circuit is switched by switching circuit, and this receiver is equipped with a control circuit which controls the switching circuit, based on the grade information in every finger that the RAKE synthesizer seeks, and selects one by one the fingers that the DLL circuit should follow.



LEGAL STATUS

[Date of request for examination] 20.04.2001

[Date of sending the examiner's decision of rejection] 29.07.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-345739

(P2001-345739A)

(43) 公開日 平成13年12月14日 (2001. 12. 14)

(51) Int.Cl.⁷

識別記号

F I

ターム(参考)

H 0 4 B 1/707

H 0 4 L 7/00

C 5 K 0 2 2

H 0 4 L 7/00

H 0 4 J 13/00

D 5 K 0 4 7

審査請求 有 請求項の数21 O L (全 10 頁)

(21) 出願番号 特願2000-169485(P2000-169485)

(22) 出願日 平成12年6月6日(2000. 6. 6)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 千葉 健一郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

Fターム(参考) 5K022 EE01 EE23 EE34

5K047 AA16 CC01 GG27 HH11 HH21

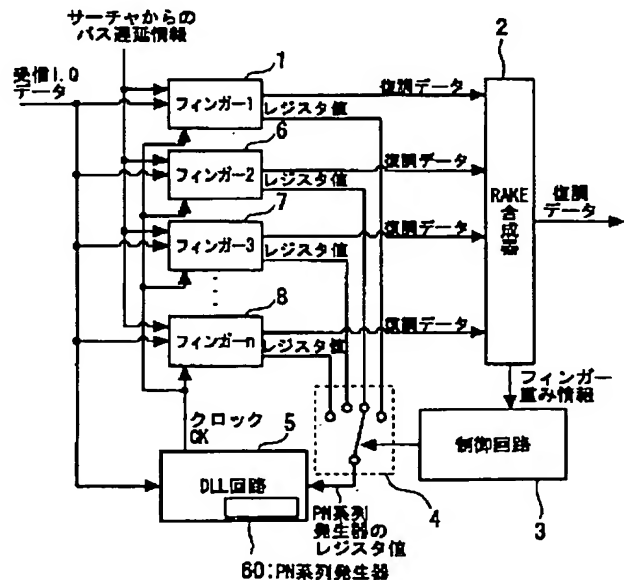
JJ06 LL06 MM03 MM13 MM33

(54) 【発明の名称】 RAKE受信装置

(57) 【要約】

【課題】 マルチパス伝搬路の位相ジッタの追従機能を保ちつつ、受回路規模の縮減、及び消費電力を低減する装置の提供。

【解決手段】 拡散符号によりスペクトラム拡散された信号を受信し、マルチパスとなっている受信信号から個々のパスを検索するサーチャで検索されたそれぞれの受信信号を逆拡散して信号を復調する複数のフィンガー回路と、複数のフィンガー回路の出力を合成するRAKE合成器と、を備えたRAKE受信装置において、複数のフィンガー回路はいずれもその内部にDLL回路を設けず、前記複数のフィンガー回路に対して一つのDLL回路を備え、前記DLL回路による同期追跡対象のフィンガーは切替回路により切替えられ、RAKE合成器が求める各フィンガー毎の重み情報に基づき切替回路を制御しDLL回路が追従すべきフィンガーを逐次選択する制御回路と、を備える。



【特許請求の範囲】

【請求項 1】マルチパスのそれぞれのパスを通った受信信号を個別に逆拡散して復調する複数のフィンガー回路に対して、同期保持制御のための遅延ロックループ (Delay Lock Loop) 回路 (「DLL 回路」という) を一つ

備え、
前記複数のフィンガー回路の出力を合成して復調信号を出力する RAKE 合成器における出力合成時の情報に基づき、前記複数のフィンガー回路の中から前記 DLL 回路で同期追跡対象とする一のフィンガー回路を選択する

手段と、
前記 DLL 回路の位相を前記選択された一のフィンガー回路の位相に一致させる手段と、

を備えたことを特徴とする RAKE 受信装置。

【請求項 2】前記 RAKE 合成器において最大比合成 (maximal ratio combining) 時に前記フィンガー回路の出力に付与される重み情報に基づき、最も重みが置かれたフィンガー回路が選択される、ことを特徴とする請求項 1 記載の RAKE 受信装置。

【請求項 3】前記 DLL 回路が、最適位相に対してそれぞれ所定タイミング先行、及び遅延する参照信号と受信信号との相関を検出し、これらの相関値出力の差分情報に基づき、クロックの発振周波数を可変させる手段を備え、前記クロックが、前記先行、及び遅延する参照信号を生成する前記 DLL 回路内の PN (Pseudorandom Noise; 疑似雑音) 系列発生器に供給されるとともに、前記複数のフィンガー回路にも供給され、
前記選択された一のフィンガー回路の PN 系列発生器のシフトレジスタ値を前記 DLL 回路内の PN 系列発生器のシフトレジスタにロードすることで、前記 DLL 回路の符号位相を、前記選択された一のフィンガー回路の符号位相に一致させる、ことを特徴とする請求項 1 又は 2 記載の RAKE 受信装置。

【請求項 4】前記 DLL 回路が、最適位相に対してそれぞれ所定タイミング先行、及び遅延する参照信号と受信信号との相関を検出し、これらの相関値出力の差分情報に基づき、クロックの発振周波数を可変させる手段を備え、前記クロックが、前記複数のフィンガー回路に供給され、前記 DLL 回路は PN 系列発生器を具備せず、
前記 DLL 回路が、前記選択された一のフィンガー回路の PN 系列発生器から出力される、最適位相に対して所定タイミング先行、及び遅延する参照信号を入力しこれらの参照信号を受信信号との相関検出に用いることで、前記 DLL 回路の符号位相を、前記選択された一のフィンガー回路の符号位相に一致させる、ことを特徴とする請求項 1 又は 2 記載の RAKE 受信装置。

【請求項 5】拡散符号によりスペクトラム拡散された信号を受信し、マルチパスとなっている受信信号から個々のパスを検索するサーチで検索されたそれぞれの受信信号を逆拡散して信号を復調するフィンガー回路を複数

備えるとともに、複数の前記フィンガー回路からの復調出力を合成する RAKE 合成器を備えた RAKE 受信装置において、

複数の前記フィンガー回路は、その内部に、同期保持制御用の遅延ロックループ (Delay Lock Loop) 回路

(「DLL 回路」という) を具備せずに、複数の前記フィンガー回路に対して、共通に、一つの DLL 回路を備え、

複数の前記フィンガー回路の中から前記 DLL 回路で同期追跡対象とする一のフィンガー回路の切り替えを行う切り替え回路と、

前記 RAKE 合成器において前記フィンガー回路の出力を合成するときに用いられる各フィンガー回路毎の情報を受け取り、前記情報に基づき、前記 DLL 回路が追従すべき一のフィンガー回路を選択し、前記切り替え回路に対して切り替えを指示する制御回路と、
を備えたことを特徴とする RAKE 受信装置。

【請求項 6】前記制御回路が、前記 RAKE 合成器から出力される、各フィンガー回路毎の重み情報に基づき、最も重みが置かれたフィンガー回路を選択し、前記切り替え回路に対して切り替えを指示することで、前記 DLL 回路を、最適のフィンガー回路に追従させる、ように構成されている、ことを特徴とする請求項 5 記載の RAKE 受信装置。

【請求項 7】前記 RAKE 合成器が、前記各フィンガー回路から出力される復調信号を、最大比合成 (maximal ratio combining) 法で合成する、ことを特徴とする請求項 6 記載の RAKE 受信装置。

【請求項 8】前記 DLL 回路から出力されるクロックが、複数の前記フィンガー回路のうち、前記切り替え回路で選択されたフィンガー回路のほかに、残りのフィンガー回路にも供給される、ことを特徴とする請求項 5 乃至 7 のいずれか一に記載の RAKE 受信装置。

【請求項 9】前記 DLL 回路から出力される前記クロックが、前記各フィンガー回路の PN 系列生成器に供給され、同期保持動作を行う、ことを特徴とする請求項 8 記載の RAKE 受信装置。

【請求項 10】前記切り替え回路で選択された一のフィンガー回路からの出力信号を、前記 DLL 回路が受け取り、前記受け取った信号に基づき、前記 DLL 回路において受信データの逆拡散に用いられる PN (Pseudorandom Noise; 疑似雑音) 符号の位相を、前記切り替え回路で選択された一のフィンガー回路内の PN 系列発生器の位相に合わせる構成とされている、ことを特徴とする請求項 5 乃至 9 のいずれか一に記載の RAKE 受信装置。

【請求項 11】前記 DLL 回路内の PN 系列発生器の位相を、前記切り替え回路で選択された一のフィンガー回路内の PN 系列発生器の位相に合わせる構成とされている、ことを特徴とする請求項 5 乃至 9 のいずれか一に記

載の RAKE 受信装置。

【請求項 12】複数の前記フィンガー回路のうちから選択された一のフィンガー回路の PN 系列発生器を構成するシフトレジスタの値が、前記切り替え回路を介して、前記 DLL 回路に供給され、

前記 DLL 回路内の PN 系列発生器を構成するシフトレジスタの値を、前記切り替え回路を介して入力されたシフトレジスタの値に設定することで、前記 DLL 回路内の PN 系列発生器の位相を、前記選択された一のフィンガー回路内の PN 系列発生器の位相に合わせる、構成とされている、ことを特徴とする請求項 5 乃至 9 のいずれかに記載の RAKE 受信装置。

【請求項 13】複数の前記フィンガー回路のうちから選択された一のフィンガー回路の PN 系列発生器から出力される PN 符号系列が、前記切り替え回路を介して、前記 DLL 回路に供給され、

前記 DLL 回路において、前記選択された一のフィンガー回路の PN 系列発生器から出力される PN 符号系列を用いて受信データを逆拡散することで、前記選択された一のフィンガー回路内の PN 系列発生器の位相に合わせる、構成とされている、ことを特徴とする請求項 5 乃至 9 のいずれかに記載の RAKE 受信装置。

【請求項 14】前記 DLL 回路が、前記フィンガー回路で用いられる PN 符号のタイミングよりも先行するタイミングのアーリー PN 符号と、前記フィンガー回路で用いられる PN 符号のタイミングよりも遅延したタイミングのレイト PN 符号を生成出力する PN 系列発生器を備え、

受信データを、前記アーリー PN 符号、及びレイト PN 符号とそれぞれ乗算する第 1、及び第 2 の乗算器と、前記第 1、及び第 2 の乗算器の出力を入力とする第 1、及び第 2 のフィルタと、

前記第 1、及び第 2 のフィルタの出力を検波する第 1、及び第 2 の検波器と、

前記第 1 の検波器の出力から前記第 2 の検波器の出力を減算する減算器と、

前記減算器の出力を平滑化するループフィルタと、

前記ループフィルタの出力を制御電圧として入力する電圧制御発振器と、

を備え、

前記 PN 系列発生器のシフトレジスタには、前記切り替え回路を介して、選択された一のフィンガー回路の PN 系列発生器のシフトレジスタの値がロードされ、

前記電圧制御発振器の出力クロックが、前記 DLL 回路内の前記 PN 系列発生器に供給されるとともに、前記各フィンガー回路に対して制御クロックとして供給される、ことを特徴とする請求項 5 乃至 10 のいずれかに記載の RAKE 受信装置。

【請求項 15】前記フィンガー回路が、前記サーチャから、初期位相の設定が行われ、PN 符号を生成する PN

系列発生器と、

入力された受信データを、前記 PN 系列発生器からの PN 系列と乗算する乗算器と、

前記乗算器の出力を平滑化して復調信号を出力するローパスフィルタと、

を備え、

前記選択された前記フィンガー回路の PN 系列発生器を構成するシフトレジスタの値が、前記切り替え回路を介して、前記 DLL 回路に供給される、ことを特徴とする請求項 5 乃至 10、14 のいずれかに記載の RAKE 受信装置。

【請求項 16】前記 DLL 回路が、前記切り替え回路によって選択された一のフィンガー回路から出力される、アーリー PN 符号とレイト PN 符号とを入力し、受信データを、前記アーリー PN 符号、及び前記レイト PN 符号とそれぞれ乗算する第 1、及び第 2 の乗算器と、

前記第 1、及び第 2 の乗算器の出力を入力とする第 1、及び第 2 のフィルタと、

20 前記第 1、及び第 2 のフィルタの出力を検波する第 1、及び第 2 の検波器と、

前記第 1 の検波器の出力から前記第 2 の検波器の出力を減算する減算器と、

前記減算器の出力を平滑化するループフィルタと、

前記ループフィルタの出力を制御電圧として入力する電圧制御発振器と、

を備え、

前記電圧制御発振器の出力クロックが、前記各フィンガー回路に供給される、ことを特徴とする請求項 5 乃至 10 のいずれかに記載の RAKE 受信装置。

【請求項 17】前記フィンガー回路が、前記サーチャから、初期位相の設定が行われ、PN 符号を生成する PN 系列発生器と、

入力された受信データを、前記 PN 系列発生器からの PN 系列と乗算する乗算器と、

前記乗算器の出力を平滑化して復調信号を出力するローパスフィルタと、

を備え、

前記 PN 系列発生器が、PN 符号のタイミングよりも先行するタイミングのアーリー PN 符号と、前記フィンガー回路で用いられる PN 符号のタイミングよりも遅延したタイミングのレイト PN 符号を生成して前記切り替え回路に出力する、構成とされている、ことを特徴とする請求項 5 乃至 10、16 のいずれかに記載の RAKE 受信装置。

【請求項 18】前記フィンガー回路が、前記サーチャから、初期位相の設定が行われ、PN 符号（同相成分 PN I、直交成分 PNQ）を生成する PN 系列発生器と、

50 入力された受信同相（I）／直交（Q）データを、前記 PN 系列発生器からの PN 系列（PNI、PNQ）と乗算する

複素乗算器と、
前記複素乗算器の出力を平滑化して復調信号を出力するローパスフィルタと、
を備えたことを特徴とする請求項 5 乃至 10 のいずれかに記載の RAKE 受信装置。

【請求項 19】前記 DLL 回路が、前記フィンガー回路で用いられる PN 符号（同相成分 PNI、直交成分 PNQ）のタイミングよりも早いタイミングのアーリー PN 符号

（同相成分 PNEI、直交成分 PNEQ）を生成出力するとともに、前記フィンガー回路で用いられる PN 符号（同相成分 PNI、直交成分 PNQ）のタイミングよりも遅いタイミングのレイト PN 符号（同相成分 PNLI、直交成分 PNLQ）を生成出力する PN 系列発生器を備え、

受信同相（I）、直交（Q）データを、前記 PN 系列発生器で生成される PN 符号（PNEI、PNEQ）と乗算する第 1 の複素乗算器と、

受信同相（I）、直交（Q）データを、前記 PN 系列発生器で生成される PN 符号（PNLI、PNLQ）と乗算する第 2 の複素乗算器と、

前記第 1 の複素乗算器の出力を平滑化する第 1 のローパスフィルタと、

前記第 2 の複素乗算器の出力を平滑化する第 2 のローパスフィルタと、

前記第 1 のローパスフィルタの出力振幅を検波する第 1 の振幅検波器と、

前記第 2 のローパスフィルタの出力振幅を検波する第 2 の振幅検波器と、

前記第 1 の振幅検波器の出力から前記第 2 の振幅検波器の出力を減算する減算器と、

前記減算器の出力を平滑化するループフィルタと、

前記ループフィルタの出力を制御電圧として入力する電圧制御発振器と、

を備え、

前記 PN 系列発生器のシフトレジスタには、前記切り替え回路を介して、選択された一の前記フィンガー回路の PN 系列発生器のシフトレジスタの値がロードされ、前記電圧制御発振器の出力クロックが、前記 PN 系列発生器に供給されるとともに、前記各フィンガー回路に供給される、ことを特徴とする請求項 5 乃至 10 のいずれかに記載の RAKE 受信装置。

【請求項 20】前記 DLL 回路が、選択された一のフィンガー回路の PN 系列発生器から出力される、アーリー PN 符号（PNEI、PNEQ）とレイト PN 符号（PNLI、PNLQ）とを、前記切り替え回路を介して入力し、

受信同相（I）／直交（Q）データを、前記アーリー PN 符号（PNEI、PNEQ）と乗算する第 1 の複素乗算器と、

受信同相（I）／直交（Q）データを、前記レイト PN 符号（PNLI、PNLQ）と乗算する第 2 の複素乗算器と、

前記第 1 の複素乗算器の出力を平滑化する第 1 のローパスフィルタと、

前記第 2 の複素乗算器の出力を平滑化する第 2 のローパスフィルタと、

前記第 1 のローパスフィルタの出力振幅を検波する第 1 の振幅検波器と、

前記第 2 のローパスフィルタの出力振幅を検波する第 2 の振幅検波器と、

前記第 1 の振幅検波器の出力から前記第 2 の振幅検波器減算器の出力を減算する減算器と、

前記減算器の出力を平滑化するループフィルタと、

10 前記ループフィルタの出力を制御電圧として入力する電圧制御発振器と、

を備え、

前記電圧制御発振器の出力クロックが、前記各フィンガー回路に供給される、ことを特徴とする請求項 5 乃至 10 のいずれかに記載の RAKE 受信装置。

【請求項 21】請求項 1 乃至 20 のいずれかに記載の RAKE 受信装置において、前記 DLL 回路を装置内に一つ備えるか、もしくは、複数のフィンガー回路群毎に一つ設けられる前記 DLL 回路を複数備えている、ことを特徴とする RAKE 受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スペクトラム拡散通信システムの受信装置に関し、特に、CDMA 方式のセルラ電話システム等に用いて好適な受信装置に関する。

【0002】

【従来の技術】スペクトラム拡散通信方式においては、送信側では、搬送波が送信データにより変調されるとともに、搬送波に対して PN（Pseudorandom Noise）符号が乗じられ、搬送波が PN 符号により変調され周波数スペクトラムが広げられた状態で送信される。受信側では、送信側と同一の PN 符号が乗じられ、送信時と同一の PN 符号でその位相が合致している場合、逆拡散が行われて変調出力が得られ、これを復調することで受信データが得られる。このように、スペクトラム拡散通信方式では、受信時に信号を逆拡散するために、パターンのみならず、位相についても、送信側と同一の PN 系列が必要とされる。そして、CDMA（Code Divison Multi-
40 ple Access；符号分割多元接続）方式は、パターンや位相を変えることによって、多元接続を可能としたものであり、耐干渉性、耐妨害性に優れ、マルチパス環境にも良好な受信特性が実現できるものとして、近時、移動体通信等にも用いられている。

【0003】CDMA 方式に基づく移動体通信システムにおいて、マルチパス伝搬路によるフェージングの影響を軽減するとともに、信号対雑音比（S/N 比）を向上するために、複数の受信機で複数のパスの信号がそれぞれ別々に逆拡散復調され、これらの信号出力を合成回路
50 （RAKE 合成器）で合成出力するパスダイバーシチ

(RAKE)方式が用いられている。

【0004】複雑なマルチパス伝搬条件の中で、同期確立・保持・復調する手段としては、サーチャによって、各パス毎の遅延特性を求め、複数のフィンガー回路に対して初期位相を設定し、各フィンガー回路の出力を、受信信号強度(RSSI)や信号対雑音比(S/N)に応じて、合成回路で合成する構成が一般的に用いられる。

【0005】そして、初期位相による同期確立後、同期保持(tracking)のためには、各フィンガー回路毎に、遅延ロックループ(Delay Lock Loop;「DLL」と略記される)回路を用意してパス毎のジッタに追従する、という構成が広く用いられている。

【0006】このDLL回路は、よく知られているように、典型的には、PN系列を生成するPN系列発生器と、最適な位相に対してそれぞれ所定チップ先行、遅延させた信号で受信信号との相関を検出するための二つの乗算器を備え、これら二つの乗算器の出力をフィルタを通したものを検波器で検波し、それぞれの検波出力(相関出力)の差をとると、この差は、符号位相が最適となる最適追跡点でゼロクロスする。この相関値の差を、ループフィルタを介して平滑化した制御信号で電圧制御発振器の発振周波数を制御し、電圧制御発振器からの出力クロックがPN系列発生器に供給される構成とされ、DLL回路から符号位相が最適となるPN系列(参照信号)を取り出してフィンガー回路における逆拡散復調が行われる。

【0007】

【発明が解決しようとする課題】ところで、追従しようとするマルチパス受信信号の位相ジッタには、端末自身の移動などによって生ずる、複数のパス間で連動して変化する成分も含まれる。

【0008】また、近時提案されている移動体通信システムにおいては、端末側において、送信タイミングの制御を行う方式も用いられている。このようなシステムにおいては、受信側から見て、各パスで、一斉に変化する位相ジッタ成分が支配的となる状況も生じることになる。

【0009】かかるマルチパスの位相ジッタに対応するためには、各フィンガー回路毎に、DLL回路を設けることが必要とされている。さらに、各DLL回路の位相制御を連動させて制御する必要がある、その結果、受信装置の回路規模、消費電力が増大することになる。

【0010】なお、例えば特開平10-209918号公報においては、複数フィンガー回路が同期追跡のためDLLを有し、各DLLはそれぞれループフィルタを有しており、回路規模が増大するという問題を解消するために、各フィンガー回路は、同期追跡のためDLLを有し、DLLの一部をなすループフィルタ(完全積分型2次ループフィルタ)を複数のフィンガー回路で共有する、ようにした受信装置の構成が開示されている。

【0011】したがって、本発明は、上記課題、及び問題点の認識に基づき、創案されたものであって、その目的は、マルチパス伝搬路の位相ジッタの追従機能を保ちつつ、回路規模の縮減を図り消費電力を低減する装置を提供することにある。

【0012】

【課題を解決するための手段】前記目的を達成する本発明は、拡散符号によりスペクトラム拡散された信号を受信し、マルチパスとなっている受信信号から個々のパスを検索するサーチャで検索されたそれぞれの受信信号を逆拡散して信号を復調する複数のフィンガー回路と、前記複数のフィンガー回路の出力を合成するRAKE合成器と、を備えたRAKE受信装置において、前記複数のフィンガー回路はその内部にDLL(遅延同期ループ)回路を具備せず、前記フィンガー回路の外部に、前記複数のフィンガー回路に対して、一つのDLL回路を備え、前記DLL回路による同期追跡対象のフィンガー回路は切り替え回路により切り替えられ、前記RAKE合成器で求められるフィンガー回路毎の重み情報に基づき、前記切り替え回路の切り替えを制御し、前記DLL回路が追従すべきフィンガー回路を逐次選択する制御回路を備えている。

【0013】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、その好ましい一実施の形態において、RAKE受信器に対して、同期保持制御のための遅延ロックループ(Delay Lock Loop)回路(「DLL回路」という)を各フィンガー回路毎に設けることなく、複数のフィンガー回路に対して、共通に一つのDLL回路を備え、切り替え回路により、DLL回路を逐次、最適のフィンガー回路に追従させ、DLL回路からクロック出力により、残りのフィンガー回路も制御する構成としたものである。

【0014】より詳細には、RAKE合成器(2)において、各フィンガー回路の復調出力信号の合成時に求められる各フィンガー毎の情報(例えば重み情報)に基づき、制御回路(3)は、切り替え回路(4)を制御して、DLL回路(5)が追従すべきフィンガー回路を逐次選択する。

【0015】DLL回路(5)が制御するクロックCKは、各フィンガー回路のPN系列生成器(図3の13)に供給されて、同期保持動作を行う。

【0016】本発明においては、切り替え回路(4)で選択された一のフィンガー回路からの出力信号を、DLL回路(5)が受け取り、前記信号に基づき、DLL回路(5)で逆拡散に用いられるPN符号の位相を、選択された一のフィンガー回路内のPN系列発生器の位相に合わせる構成とされる。

【0017】より詳細には、選択された一のフィンガー回路のPN系列発生器を構成するシフトレジスタの値

を、切り替え回路(4)を介して、DLL回路(5)が受け取り、DLL回路(5)内部のPN系列発生器(60)を構成するシフトレジスタの値を、入力されたシフトレジスタの値に設定することで、DLL回路(5)内部のPN系列発生器の位相を、前記選択された一のフィンガー回路内のPN系列発生器の位相に合わせる構成とされる。

【0018】あるいは、本発明の別の実施の形態において、図4を参照すると、選択された一のフィンガー回路のPN系列発生器から出力されるPN符号系列を切り替え回路(4)を介してDLL回路(5')が受け取り、DLL回路(5')において、前記選択されたフィンガー回路のPN系列発生器から出力されるPN符号系列を用いて逆拡散することで、切り替え回路(4)で選択されたフィンガー回路内のPN系列発生器の位相に合わせる構成とされる。

【0019】かかる構成とした本発明の実施の形態によれば、マルチパス伝搬路の位相ジッタの追従機能を保ちつつ、RAKE受信器の回路規模を削減することができる。

【0020】本発明の一実施の形態において、DLL回路(5)は、フィンガー回路から入力された受信同相

(I)/直交データ(Q)が分岐され、前記フィンガー回路で用いられるタイミング(同相成分PNI、直交成分PNQ)よりも早い分周器タイミングのPN符号PNEI、PNEQを生成出力するとともに、前記フィンガー回路で用いられるタイミング(PNI、PNQ)よりも遅い分周器タイミングのPN符号(同相成分PNLI、直交成分PNLQ)を生成出力するPN系列発生器(60)と、前記I/Qデータを、前記PN系列発生器で生成されるPN符号(同相成分PNEI、直交成分PNEQ)と乗算する第1の複素乗算器

(51)と、前記I/Qデータを、前記PN系列発生器で生成されるPN符号(PNLI、PNLQ)と乗算する第2の複素乗算器(54)と、第1の複素乗算器(51)の出力を平滑化する第1のローパスフィルタ(52)と、第2の複素乗算器(54)の出力を平滑化する第2のローパスフィルタ(55)と、第1のローパスフィルタの出力電圧の振幅を検波する第1の振幅検波器(53)と、前記第2のローパスフィルタの出力電圧の振幅を検波する第2の振幅検波器(56)と、第1の振幅検波器(53)の出力から第2の振幅検波器(54)の出力を減算する減算器(57)と、前記減算器(57)の出力を平滑化するループフィルタ(58)と、ループフィルタ

(58)の出力を制御電圧として入力する電圧制御発振器(59)と、を備え、電圧制御発振器(59)の出力クロック(CK)が、PN系列発生器(60)に供給されるとともに、各フィンガー回路(1、6、7、8)に供給される。

【0021】本発明の一実施の形態において、各フィンガー回路は、サーチャから初期位相設定が行われ、PN

系列(PNI、PNQ)を発生するPN系列発生器(13)と、入力された受信I/Qデータを、PN系列発生器(13)からのPN系列PNI、PNQと乗算する複素乗算器(11)と、複素乗算器(11)の出力を平滑化するローパスフィルタ(12)と、を備え、ローパスフィルタ(12)の出力が復調信号としてRAKE合成器(2)に出力される。

【0022】本発明の一実施の形態においては、DLL回路(5)内のPN系列発生器(60)の位相を、切り替え回路(4)で選択されたフィンガー回路内のPN系列発生器(13)の位相に合わせる構成とされる。この場合、DLL回路(5)内のPN系列発生器(60)のシフトレジスタに、選択された一のフィンガー回路内のPN系列発生器(13)の状態(シフトレジスタ値)がロードされる。

【0023】本発明の別の実施の形態において、フィンガー回路内のPN系列発生器(13')が、前記フィンガー回路で用いられるPN符号(同相成分PNI、直交成分PNQ)のタイミングよりも早いタイミングのPN符号(PNEI、PNEQ)と、前記フィンガー回路で用いられるPN符号(同相成分PNI、直交成分PNQ)のタイミングよりも遅いタイミングのPN符号(PNLI、PNLQ)を出力し、切り替え回路(4)によって選択されたフィンガー回路から出力されるPN系列(PNEI、PNEQ、PNLI、PNLQ)が前記DLL回路(5')に供給される。

【0024】DLL回路(5')は、図5を参照すると、切り替え回路(4)によって選択された、アーリーPN符号(PNEI、PNEQ)とレイトPN符号(PNLI、PNLQ)とを入力し、受信同相(I)/直交(Q)データを、アーリーPN符号(PNEI、PNEQ)と乗算する第1の複素乗算器(51)と、受信同相(I)/直交(Q)データを、前記レイトPN符号(PNLI、PNLQ)と乗算する第2の複素乗算器(54)と、第1の複素乗算器(51)の出力を平滑化する第1のローパスフィルタ(52)と、第2の複素乗算器(54)の出力を平滑化する第2のローパスフィルタ(55)と、第1のローパスフィルタ(52)の出力振幅を検波する第1の振幅検波器(53)と、第2のローパスフィルタの出力振幅を検波する第2の振幅検波器(56)と、第1の振幅検波器(53)の出力から第2の振幅検波器(56)の出力を減算する減算器(57)と、減算器(57)の出力を平滑化するループフィルタ(58)と、ループフィルタ(58)の出力を制御電圧として入力する電圧制御発振器(60)と、を備え、電圧制御発振器(60)の出力クロックが各フィンガー回路に供給され、DLL回路(5')内にPN系列発生器を設けることを不要としている。

【0025】

【実施例】上記した本発明の実施の形態について、さらに詳細且つ具体的に説明すべく、本発明の実施例につい

て図面を参照して説明する。図 1 は、本発明の一実施例の RAKE 受信機の構成を示す図である。準同期検波後の受信 I (同相) / Q (直交) データは、複数 (n 個) のフィンガー回路 1、6、7、8 に供給され、フィンガー回路では、サーチャ回路 (不図示) で求められたパス遅延情報に基づいて、マルチパス伝送路毎の位相が調整される。

【0026】各フィンガー回路 1、6、7、8 からの復調信号 (復調データ) は、RAKE 合成器 2 に供給され、RAKE 合成器 2 では、パス毎の重み付けアルゴリズムに基づいて合成されて、復調が行われる。RAKE 合成器 2 では、逆拡散を行う相関器 (フィンガー回路) の出力を同相化し、信号レベルに比例した重み付けを行い加算することで、各パスの電力の最大比合成 (maximal ratio combining) が可能とされ、パスダイバーシチ効果を得ている。すなわち最大比合成は、マルチパスの各ブランチ信号 (各フィンガー回路の復調出力信号) を同相化し、信号レベル検出器で検出される信号レベルに比例した重みを、各ブランチ信号に付けて、加算するものであり、CN (搬送波対雑音) 比が高く、信号レベルの大きなブランチほど出力に寄与する割合が大きくなる。

【0027】初期アキュイジション (initial acquisition: 初期接続) 確立後の同期保持には、DLL 回路 5 が用いられる。

【0028】本発明の一実施例においては、各フィンガー回路毎に、DLL 回路を設けずに、1 つの DLL 回路 5 によって、RAKE 受信機内の全てのフィンガー回路 1、6、7、8 のクロック CK を制御している。

【0029】あるいは RAKE 受信機が、例えば $m \times n$ (m 、 n は所定の正数) 個のフィンガー回路を有する場合、 n 個のフィンガー回路に対して共通に 1 個の DLL 回路を備える構成とし、RAKE 受信機内に計 m 個の DLL 回路を備えるというように、フィンガー回路群に対して共通に 1 個の DLL 回路を設ける単位 (ユニット) を、複数組備えた構成としてもよいことは勿論である。

【0030】クロック CK の制御は、DLL 回路 5 に供給される受信 I (同相) / Q (直交) データ、及び追従対象のフィンガー回路に設定されたパス遅延情報に基づいて行われ、DLL 回路 5 の制御に用いる追従対象フィンガー回路の選択は、切り替え回路 4 によって行われる。

【0031】切り替え回路 4 は、RAKE 合成器 2 にて求められたフィンガー毎の重み情報を入力とする制御回路 3 によって、その切り替えが制御される。制御回路 3 は、RAKE 合成器 2 より入力された、フィンガー回路に付与される重み情報の最大値を検出する最大値検出回路 (不図示) を備えており、重み情報が最大のフィンガー回路を選択して、該選択されたフィンガー回路に切り替えるように、切り替え回路 4 に対して、切り替え指示

信号を出力する。あるいは、制御回路 3 は、RAKE 合成器 2 にて求められたフィンガー回路毎の重み情報の時系列データを不図示のメモリに蓄積格納し、該時系列データを分析することで、フィンガー重み情報が最大となるフィンガー回路を選択するようにしてもよい。

【0032】図 2 は、本発明の一実施例における DLL 回路 5 の構成の一例を示す図である。図 2 を参照すると、DLL 回路 5 は、一般的な、Early (アーリー)、Late (レイト) ゲート回路によって構成され、入力された受信 I / Q データは分岐された後、複素乗算器 51 で、PN 系列発生器 60 で生成された (フィンガー回路の PN 系列発生器で用いられる PN 符号のタイミングよりも) 早いタイミングの PN 符号 PNEI、PNEQ と乗算される。また複素乗算器 54 では受信 I / Q データが PN 系列発生器 60 で生成された遅い分周器タイミングの PN 符号 PNLI、PNLQ と乗算される。

【0033】PN 符号を生成出力する PN 系列発生器 60 は、シフトレジスタ 601 とパリティジェネレータ (排他的論理和回路) 602 よりなる線形帰還シフトレジスタ (Linear Feedback Shift Register) から構成されており、排他的論理和回路 602 は、シフトレジスタ 601 の一端 (右端) の出力と、シフトレジスタ 601 の所定の段数 (タップ数) の出力とを入力とし、排他的論理和回路 602 の出力信号は、シフトレジスタ 601 の他端 (左端) の入力に供給されている。なお、よく知られているように、PN 系列発生器 60 から生成される PN 符号は、シフトレジスタ 601 のレジスタ長、排他的論理和回路 602 に入力されるタップの数や位置、シフトレジスタ 601 の初期値によって、その特性が規定される。アーリー PN 符号 PNEI、PNEQ、レイト PN 符号 PNLI、PNLQ は、それぞれ、PN 系列発生器 60 のシフトレジスタにおいて、フィンガー回路に対応するタイミングの PN 符号 PNI、PNQ の取り出し位置を間に挟んだ位置から出力される。

【0034】複素乗算器 51、54 の出力は、それぞれ LPF (ローパスフィルタ) 52、55、振幅検波器 53、56 を経て、減算器 57 にて合成された後、ループフィルタ 58 に入力されて平滑化され、このループフィルタ 58 の出力を制御信号として (電圧制御発振器 (VCO)) 59 の発振周波数を可変制御し、VCO 59 から出力されるクロック CK は、PN 系列発生器 60 の制御クロック CK として入力される。また VCO 59 から出力されるクロック CK は、選択されたフィンガー回路のほか、各フィンガー回路に供給される。

【0035】図 3 は、図 1 に示した本発明の一実施例におけるフィンガー回路 1、6、7、8 の構成の一例を示す図である。各フィンガー回路は、サーチャから初期位相設定が行われる PN 系列発生器 13 を用いて、PN 符号系列 PNI、PNQ を発生する。PN 系列発生器 13 は、DLL 回路 5 の PN 系列発生器 60 と同一長さのシフトレ

ジスタと、パリティジェネレータに入力されるタップ数、位置が同一とされている。

【0036】フィンガー回路に入力された受信 I/Q データは、複素乗算器 11 にて、PN 符号系列 PNI、PNQ と乗算された後、ローパスフィルタ (LPF) 12 を経て、RAKE 合成器 2 に出力される。

【0037】PN 系列発生器 13 における同期保持は、PN 系列発生器 13 に供給されるシフトレジスタのシフトクロック CK を、DLL 回路 5 によって制御することで行われる。

【0038】DLL 回路 5 は、制御回路 3、切り替え回路 4 の働きによって、複数のフィンガー回路 1、6、7、8 のうち、RAKE 合成器の合成アルゴリズムに基づいて、最も重みが置かれたフィンガー回路の位相ジッターに追従し、各フィンガー回路に供給されるクロック CK を制御する。

【0039】DLL 回路 5 内部の PN 系列発生器 60 の位相を、切り替え回路 4 によって選ばれた、追従対象のフィンガー回路内の PN 系列発生器 13 の位相に合わせる構成としては、いくつかの構成が適用可能である。

【0040】本発明の一実施例においては、図 1 に示すように、切り替え回路 4 によって、追従対象のフィンガー回路を選択し、選択された一つのフィンガー回路内の PN 系列発生器のシフトレジスタの状態 (シフトレジスタ値) が、切り替え回路 4 を介して、DLL 回路 5 の PN 系列発生器 60 のシフトレジスタ 601 (図 2 参照) にロードされる。

【0041】本発明の一実施例においては、各フィンガー回路 (1、6、7、8) の PN 系列発生器 13 (図 3 参照) は、シフトレジスタのレジスタ値が切り替え回路 4 に出力される構成とされており、切り替え回路 4 によりフィンガー回路を切り替える時に、選択された一つのフィンガー回路の PN 系列発生器のシフトレジスタの値が、DLL 回路 5 の PN 系列発生器のシフトレジスタ 601 にロードされる。

【0042】そして制御回路 3 により、切り替え回路 4 を、逐次制御することにより、DLL 回路 5 は、信号状態の良いフィンガー回路の位相に追従し、また DLL 回路 5 から出力されるクロック CK により、各フィンガー回路の位相制御が行われる。

【0043】次に本発明の第 2 の実施例について説明する。図 4 は、本発明の第 2 の実施例の構成を示す図である。図 4 を参照すると、本発明の第 2 の実施例においては、n 個の各フィンガー回路 1'、6'、7'、8' 内の PN 系列発生器から、Early (アーリー) 及び Late (レイト) のタイミングにおける PN 符号 (PNEI、PNEQ、PNLI、PNLQ) を切り替え回路 4 に出力し、切り替え回路 4 では、制御回路 3 からの切替指示によって選択されたフィンガー回路から出力される、Early (アーリー) 及び Late (レイト) PN 符号を選択して、DLL

回路 5' に供給する。

【0044】図 5 は、本発明の第 2 の実施例の DLL 回路 5' の構成を示す図である。図 5 を参照すると、本発明の第 2 の実施例の DLL 回路 5' は、図 2 に示した DLL 回路と相違して、PN 系列発生器は不要とされている。図 5 を参照すると、DLL 回路 5' において、複素乗算器 51、54 に入力されるアーリー、レート PN 符号としては、切り替え回路 4 で選択されたフィンガー回路から出力される PN 符号系列 (PNEI、PNEQ、PNLI、PNLQ) が、供給される。

【0045】電圧制御発振器 (VCO) 59 の出力クロック CK は、各フィンガー回路に供給される。

【0046】図 6 は、本発明の第 2 の実施例におけるフィンガー回路の構成を示す図である。図 6 を参照すると、本発明の第 2 の実施例におけるフィンガー回路は、図 3 に示した前記実施例におけるフィンガー回路と基本的に同一の構成とされているが、PN 系列発生器 13' からアーリー及びレイト PN 符号系列 (PNEI、PNEQ、PNLI、PNLQ) が出力されており、信号線を介して、切り替え回路 4 に供給される構成とされている。

【0047】このように、本発明の第 2 の実施例においては、DLL 回路 5' 内に PN 系列発生器を具備せず、前記実施例と比べ回路規模のさらなる縮減を図ることができる。

【0048】以上本発明を上記各実施例に即して説明したが、本発明は、上記実施例の構成にのみ限定されるものでなく、特許請求の範囲の各請求項に記載される発明の範囲内で当業者であればなし得るであろう、各種変形、修正を含むものであることは勿論である。

【0049】

【発明の効果】以上説明したように、本発明によれば、各フィンガー回路毎に DLL 回路を設けることなく同期保持動作を行うことを可能としており、回路規模を縮減して受信機の小型化を図り、低消費電力化を達成することができる、という顕著な効果を奏する。

【図面の簡単な説明】

【図 1】本発明の一実施例の構成を示す図である。

【図 2】本発明の一実施例における DLL 回路の構成を示す図である。

【図 3】本発明の一実施例におけるフィンガー回路の構成を示す図である。

【図 4】本発明の他の実施例の構成を示す図である。

【図 5】本発明の一実施例における DLL 回路の構成を示す図である。

【図 6】本発明の一実施例におけるフィンガー回路の構成を示す図である。

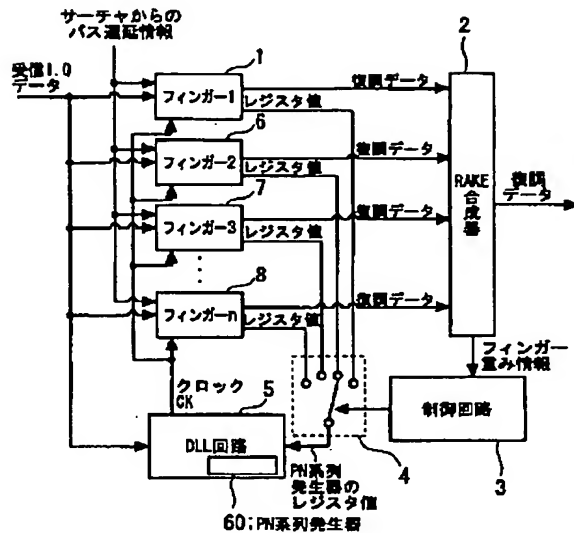
【符号の説明】

1、1'、6、6'、7、7'、8、8' フィンガー回路

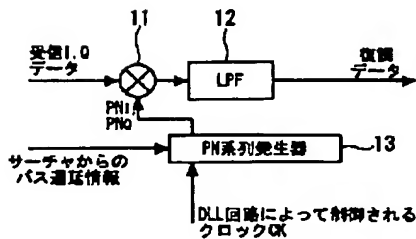
2 RAKE 合成器

- 3 制御回路
 4 切り替え回路
 5、5' DLL回路
 11 乗算器
 12 LPF (ローパスフィルタ)
 13、13' PN系列発生器
 51、54 複素乗算器
 52、55 LPF

【図1】

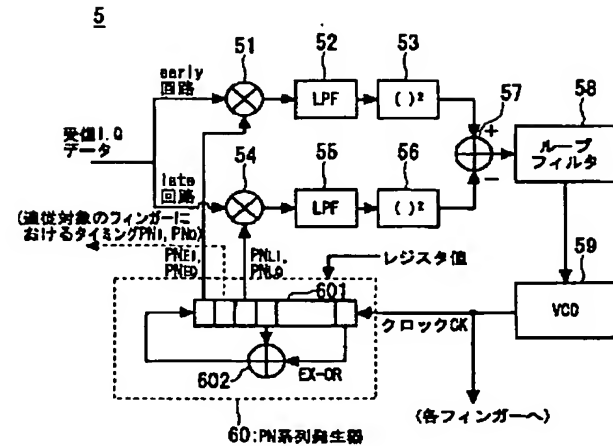


【図3】

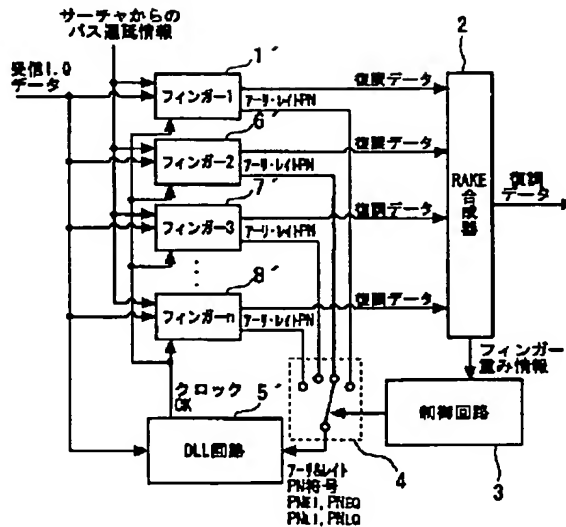


- 53、56 振幅検波器
 57 減算器
 58 ループフィルタ
 59 VCO (電圧制御発信器)
 60 PN系列発生器
 601 シフトレジスタ
 602 排他的論理和 (EXOR) 回路

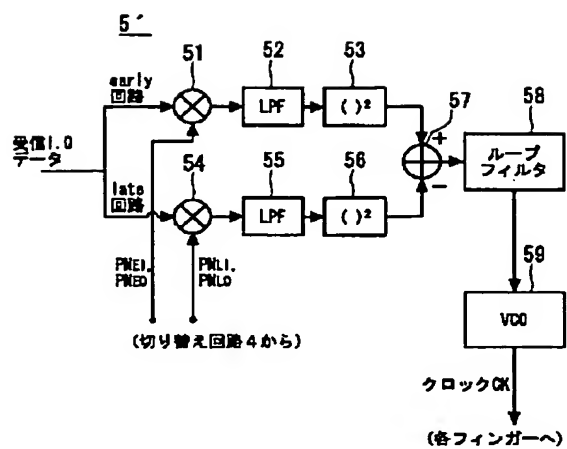
【図2】



【図4】



【図 5】



【図 6】

